



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0029759
Application Number

출 원 년 월 일 : 2003년 05월 12일
Date of Application MAY 12, 2003

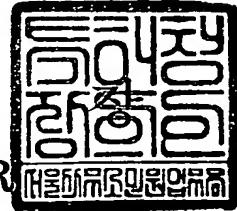
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 11 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2003.05.12
【국제특허분류】	G11C
【발명의 명칭】	리던던시 효율을 증가시키는 반도체 메모리 장치
【발명의 영문명칭】	Semiconductor memory device for improving redundancy efficiency
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	최성호
【성명의 영문표기】	CHOI, Sung Ho
【주민등록번호】	721224-1703016
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 유원아파트 607동 703호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	6	면	6,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	18	항	685,000	원
【합계】			720,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

리던던시 효율을 증가시키는 반도체 메모리 장치가 개시된다. 본 발명에 따른 반도체 메모리 장치는 다수의 메모리 뱅크들을 구비한다. 각 메모리 뱅크는 통상의 노말 데이터를 저장하기 위한 노말 메모리셀들을 포함하는 다수개의 노말 셀 블록들, 불량 메모리 셀을 대체하기 위한 리던던시 메모리셀들을 포함하는 다수개의 리던던시 셀 블록들 및 오류 검사/정정 코드(error check/correction code, 이하 ECC) 메모리셀들을 포함하는 하나 이상의 ECC 셀 블록을 구비한다. 본 발명의 반도체 메모리 장치는 소정의 모드 신호에 응답하여 ECC 셀 블록을 ECC 데이터를 저장하는데 사용하지 않고, 불량 메모리셀을 대체하는데 사용한다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

리던던시 효율을 증가시키는 반도체 메모리 장치{Semiconductor memory device for improving redundancy efficiency}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 통상의 반도체 메모리 장치의 개략적인 블록도이다.

도 2는 도 1에 도시된 메모리 뱅크를 좀 더 상세하게 도시하는 블록도이다.

도 3은 본 발명의 개념을 설명하기 위한 반도체 메모리 장치의 개략적인 블록도이다.

도 4는 본 발명의 일 실시예에 따른 반도체 메모리 장치를 나타내는 개략적인 블록도이다.

도 5는 본 발명의 다른 일 실시예에 따른 반도체 메모리 장치를 나타내는 개략적인 블록도이다.

도 6은 도 5에서 노말 메모리 셀을 ECC 메모리 셀로 대체하는 경우를 좀 더 상세히 나타내는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 반도체 메모리 장치에서의 리던던시 효율을 높이는 방안에 관한 것이다.

<9> 근래의 반도체 메모리 칩의 개발 추세의 하나는 개발 및 양산 비용을 줄이기 위하여 몇 개의 메모리 칩을 병합하여 설계하는 것이다. 그 중의 하나로서, 오류 검사/정정 코드(error checking/correction code, 이하 ECC라 함)를 저장하기 위한 메모리 셀을 사용하는 메모리 칩과 ECC 메모리 셀을 사용하지 않는 메모리 칩을 동시에 설계하는 경우가 많다. 이 경우 양 칩을 개별적으로 설계하는 경우에 비하여 인력 및 비용을 절감할 수 있다.

<10> ECC 셀을 사용하는 메모리 칩과 사용하지 않는 메모리 칩을 병합 설계하는 경우에, ECC 셀을 사용하지 않는 메모리 칩에서 ECC 셀은 사용되지 않으면서 메모리 칩의 면적만 차지하는 더미 셀(dummy cell)이다.

<11> 도 1은 통상의 반도체 메모리 장치(100)의 개략적인 블록도이다. 이를 참조하면, 통상의 반도체 메모리 장치(100)는 다수의 메모리 뱅크들을 가진다. 도 1에서는 4개의 메모리 뱅크(110, 120, 130, 140)를 가지는 반도체 메모리 장치(100)의 예가 도시된다. 각 메모리 뱅크(110, 120, 130, 140)는 셀 블록(NOR)과 ECC 셀 블록(ECC)을 포함한다.

<12> 셀 블록(NOR)은 통상의 데이터, 즉 노말 데이터를 저장하는 메모리 셀들을 포함하며, 노말 메모리 셀이 불량인 경우 이를 대체하기 위한 리던던시 메모리 셀들을 포함할 수 있다. ECC 셀 블록(ECC)은 ECC 데이터를 저장하기 위한 ECC 메모리 셀들을 포함한다.

<13> 도 2는 도 1에 도시된 하나의 메모리 뱅크(110)를 좀 더 상세하게 도시하는 블록도이다. 이를 참조하면 메모리 뱅크(110)는 다수의 노말 셀 블록들(B1~B5)과 다수의 리던던시 셀 블록들(RD1~RD5)과 ECC 셀 블록(ECC)을 포함한다. 도 1의 셀 블록(NOR)이 다수의 노말 셀 블록들(B1~B5)과 다수의 리던던시 셀 블록들(RD1~RD5)로 세분화된 것이다.

<14> 노말 셀 블록들(B1~B5)은 통상의 데이터, 즉 노말 데이터를 저장하기 위한 메모리 셀(이하 노말 메모리 셀이라 함)들을 포함한다. 리던던시 셀 블록들(RD1~RD5)은 노말 메모리 셀이 불량인 경우 이를 대체하기 위한 리던던시 메모리 셀들을 포함한다. 노말 셀 블록들(B1~B5)의 메모리 셀에 불량이 발생한 경우, 불량 셀을 대체하기 위하여 리던던시 셀 블록(RD1~RD5)의 리던던시 셀이 사용된다. 예를 들어, 도 2에서 노말 셀 블록(B1)의 불량 셀(F1)은 리던던시 셀 블록(RD1)의 리던던시 셀(R1)로, 노말 셀 블록(B2)의 불량 셀(F2)은 리던던시 셀 블록(RD2)의 리던던시 셀(R2)로, 노말 셀 블록(B3)의 불량 셀(F3)은 리던던시 셀 블록(RD3)의 리던던시 셀(R3)로, 노말 셀 블록(B4)의 불량 셀(F4)은 리던던시 셀 블록(RD4)의 리던던시 셀(R4)로, 그리고 노말 셀 블록(B5)의 불량 셀(F5)은 리던던시 셀 블록(RD5)의 리던던시 셀(R5)로 각각 대체된다.

<15> 그런데, 도 1에 도시된 반도체 메모리 장치(100)가 ECC 셀을 사용하지 않는데도 불구하고 ECC 셀을 사용하는 메모리 장치와 병합 설계된 경우라면, ECC 셀 블록(ECC)은 더 미 셀 블록이다. 즉, ECC 셀 블록에 대해 다른 용도가 없이, 반도체 장치의 면적만 차지 한다.

【발명이 이루고자 하는 기술적 과제】

<16> 따라서 본 발명이 이루고자 하는 기술적 과제는 사용되지 않는 ECC 셀 블록을 리던던시 셀 블록으로 전용함으로써 리던던시 효율을 증가시켜 메모리 칩의 수율을 높일 수 있는 반도체 메모리 장치를 제공하는 것이다.

【발명의 구성 및 작용】

<17> 상기 기술적 과제를 달성하기 위한 본 발명의 일 면에 따른 반도체 메모리 장치는 다수의 메모리 뱅크들을 구비하며, 상기 다수의 메모리 뱅크들 각각은 통상의 노말 데이터를 저장하기 위한 노말 메모리 셀들을 포함하는 다수개의 노말 셀 블록들; 불량 메모리 셀을 대체하기 위한 리던던시 메모리 셀들을 포함하는 다수개의 리던던시 셀 블록들; 및 오류 검사/정정 코드(error check/correction code, 이하 ECC) 메모리 셀들을 포함하는 하나 이상의 ECC 셀 블록을 구비하며, 상기 ECC 셀 블록은 소정의 모드 신호에 응답하여 불량 메모리 셀을 대체하는데 사용된다.

<18> 본 발명의 일 실시예에 따른 반도체 메모리 장치는 상기 노말 메모리 셀들의 데이터를 입출력하기 위한 노말 데이터 입출력 라인; 상기 ECC 메모리 셀들의 데이터를 입출력하기 위한 ECC 데이터 입출력 라인; 및 상기 모드 신호에 응답하여 상기 노말 데이터 입출력 라인과 상기 노말 셀 어레이 블록의 연결을 차단하고 상기 노말 데이터 입출력 라인을 상기 ECC 데이터 입출력 라인에 연결시키는 리페어 회로를 더 구비한다.

<19> 본 발명의 다른 일 실시예에 따른 반도체 메모리 장치는 상기 노말 메모리 셀들에 연결되는 노말 비트라인; 상기 노말 메모리 셀들의 데이터를 입출력하기 위한 노말 데이터 입출력 라인; 노말 칼럼 선택 라인 신호에 응답하여 상기 노말 비트라인을 상기 노말

데이터 입출력 라인에 연결시키는 노말 전송 게이트; 상기 ECC 메모리셀들에 연결되는 ECC 비트라인; 상기 ECC 메모리셀들의 데이터를 입출력하기 위한 ECC 데이터 입출력 라인; ECC 칼럼 선택 라인 신호에 응답하여 상기 ECC 비트라인을 상기 ECC 데이터 입출력 라인에 연결시키는 ECC 전송 게이트; 및 상기 모드 신호에 응답하여 상기 노말 칼럼 선택 라인 신호 대신에 상기 ECC 칼럼 선택 라인 신호를 인에이블하는 리페어 회로를 더 구비한다.

<20> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일 면에 따른 반도체 메모리 장치는 오류 검사/정정 코드(error check/correction code, 이하 ECC)를 사용하는 반도체 메모리 장치와 병합하여 설계되는 반도체 메모리 장치로서, 통상의 노말 데이터를 저장하기 위한 노말 메모리셀들을 포함하는 노말 셀 블록; ECC 메모리셀들을 포함하는 ECC 셀 블록; 및 소정의 모드 신호에 응답하여 상기 ECC 셀 어레이 블록을 ECC 데이터를 저장하는데 사용하지 않고 불량 메모리셀을 대체하도록 제어하는 리페어 회로를 구비한다.

<21> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<22> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<23> 도 3은 본 발명의 개념을 설명하기 위한 반도체 메모리 장치(300)의 개략적인 블록 도이다. 본 발명은 오류 검사/정정 코드(error checking/correction code, 이하 ECC라 함) 셀 블록(ECC)을 구비하는 메모리 장치와 병합 설계되는 메모리 장치에 적용된다. 즉

, ECC 셀 블록(ECC)을 구비하는 반도체 칩과 병합 설계됨으로써, 물리적으로는 ECC 셀 블록을 가지지만, 그 블록을 ECC 용으로 사용하지는 않는 메모리 장치에 적용되는 것이 바람직하다. 이 경우, ECC 셀 블록을 리던던시 셀 블록으로 전용하는 것이다. 여기서, ECC는 오류 검사 코드 및/또는 오류 정정 코드를 의미한다. 또한 ECC는 패리티 비트 (parity bit)를 나타낼 수도 있다.

<24> 도 3에 도시된 반도체 메모리 장치(300)는 노말 셀 블록들(B1~B5), 리던던시 셀 블록들(RD1~RD5) 및 ECC 셀 블록(ECC)을 구비한다. 노말 셀 블록들(B1~B5), 리던던시 셀 블록들(RD1~RD5) 및 ECC 셀 블록(ECC)이 하나의 메모리 뱅크를 형성하고, 상기 구성을 가지는 메모리 뱅크가 하나의 반도체 메모리 장치(300) 내에 다수 개 구비될 수 있다.

<25> 각 노말 셀 블록(B1~B5)은 통상의 데이터, 즉 노말 데이터를 저장하기 위한 노말 메모리 셀들을 포함한다. 각 리던던시 셀 블록(RD1~RD5)은 노말 셀 블록들의 메모리 셀 중에서 불량이 발생하면, 이를 대체하기 위한 리던던시 메모리 셀들을 포함한다. ECC 셀 블록(ECC)은 ECC 데이터를 저장하기 위한 ECC 메모리 셀들을 포함한다. 본 발명의 일 실시예는 소정의 모드 신호에 응답하여, ECC 셀 블록(ECC)을 ECC 용, 즉 ECC 데이터를 저장하는데 사용하지 않고, 불량 메모리 셀을 대체하는데 사용한다.

<26> 모드 신호는 반도체 장치의 입출력 규정, 즉 비트 구성을 나타내는 신호인 것이 바람직하다. 비트 구성은 반도체 메모리 장치에서 병렬로 입력 또는 출력되는 데이터 비트의 수이다. 예를 들어, 모드 신호는 x16 신호이다. x16 신호란 반도체 메모리 장치에서 동시에 입력 또는 출력되는 데이터 비트의 수가 16 비트임을 의미한다. 동시에 입/출력 되는 데이터 비트의 수가 16 비트일 때, 상기 16 비트에 대하여 2 비트의 ECC 데이터 비트가 사용될 수 있다. 이 경우에는, 데이터 비트의 수는 16 비트이지만, ECC 데이터를

포함하여 총 18 비트가 동시에 입/출력되는 것이다. 즉, x 18로 동작하는 것이다. x 18로 동작할 수 있는 반도체 메모리 장치를 x16으로 동작시킨다면, ECC 셀 블락을 ECC용으로 사용하지 않는다는 것이다. 따라서, 본 발명의 일 실시예에서는, 비트 구성을 나타내는 신호, 예를 들어 x 16 신호에 응답하여 ECC 셀 블락(ECC)을 리던던시 셀 블락으로 전용한다. 따라서, 반도체 메모리 장치(300)는 모드 신호에 응답하여 ECC 셀 블락(ECC)을 불량셀을 대체하도록 제어하는 리페어 회로를 더 구비하는 것이 바람직하다.

<27> 본 발명에서는 리던던시 셀 블록(RD1~RD5)이 대체할 수 있는 셀보다 더 많은 불량셀이 발생한 경우, ECC 셀 블록(ECC)을 리던던시 셀 블록으로 전용하여, 나머지 불량 셀을 ECC 셀로 대체한다.

<28> 예를 들어, 도 3에 도시된 바와 같이, 다수의 불량 셀들(F1~F7)이 발생한 경우, 일부의 불량셀들(F1, F3, F5~F7)은 리던던시 셀들(R1~R5)로 대체되고, 나머지 불량셀들(F2, F4)은 ECC 셀 블록의 ECC 셀들(E1, E2)로 대체된다.

<29> 좀 더 구체적으로, 노말 셀 블록(B1)의 불량 셀(F1)은 리던던시 셀 블록(RD1)의 리던던시 셀(R1)로, 노말 셀 블록(B2)의 불량 셀(F3)은 리던던시 셀 블록(RD2)의 리던던시 셀(R2)로, 노말 셀 블록(B3)의 불량 셀(F5)은 리던던시 셀 블록(RD3)의 리던던시 셀(R3)로, 노말 셀 블록(B4)의 불량 셀(F6)은 리던던시 셀 블록(RD4)의 리던던시 셀(R4)로, 그리고 노말 셀 블록(B5)의 불량 셀(F7)은 리던던시 셀 블록(RD5)의 리던던시 셀(R5)로 각각 대체된다. 그리고, 리던던시 셀 블록들(RD1~RD5)이 수용할 수 없는 노말 셀 블록(B1)의 불량 셀(F2)과 노말 셀 블록(B2)의 불량 셀(F4)은 ECC 셀 블록(ECC)의 ECC 셀(E1, E2)로 각각 대체된다. 물론 리던던시 셀 블록들(RD1~RD5)이 불량 셀을 리페어할 여지가 있는 경우에도, ECC 셀이 불량셀을 리페어하는 리던던시 셀로 사용될 수도 있다.

<30> 도 4는 본 발명의 일 실시예에 따른 반도체 메모리 장치(400)를 나타내는 개략적인 블록도이다. 이를 참조하면, 본 발명의 일 실시예에 따른 반도체 메모리 장치(400)는 노말 셀 블록들(B1~B5), 리던던시 셀 블록들(RD1~RD5), ECC 셀 블록(ECC), 노말 입출력 라인들(I01~I04), ECC 입출력 라인(ECC IO) 및 리페어 회로(410, 420)를 구비한다.

<31> 노말 셀 블록들(B1~B5), 리던던시 셀 블록들(RD1~RD5) 및 ECC 셀 블록(ECC)은 도 3과 관련하여 상술한 바와 동일하므로 여기서 상세한 설명은 생략된다.

<32> 노말 입출력 라인들(I01~I04)은 노말 셀 블록들(B1~B5)의 데이터 입출력을 담당한다. 그리고, ECC 입출력 라인(ECC IO)은 ECC 셀 블록(ECC)의 데이터 입출력을 담당한다. 노말 메모리셀의 데이터는 비트라인(미도시)과 노말 입출력 라인들(I01~I04)을 통하여 외부로/로부터 입/출력된다. ECC 셀의 데이터는 비트라인(미도시)과 ECC 입출력 라인(ECC IO)을 통하여 외부로/로부터 입/출력된다.

<33> 도 4에서는 4개의 노말 입출력 라인들(I01~I04)과 하나의 ECC 입출력 라인(ECC IO)이 도시되어 있지만, 이들 수는 가변될 수 있다.

<34> 리페어 회로(410, 420)는 모드 신호에 응답하여 ECC 셀 블락(ECC)이 불량셀을 대체 할 수 있도록 제어한다. 구체적으로, 리페어 회로(410, 420)는 ECC 스위치들(SW1~SW4)과 노말 스위치들(SW5~SW8)을 포함한다. 노말 스위치들(SW5~SW8)은 노말 셀 블록(B1~B5)의 노말 메모리 셀들과 노말 입출력 라인들(I01~I04)간의 연결을 제어한다. ECC 스위치들(SW1~SW4)은 노말 입출력 라인들(I01~I04)과 ECC 입출력 라인(ECC IO)간의 연결을 제어한다. ECC 입출력 라인(ECC IO)은 ECC 셀 블록(ECC)의 메모리 셀들에 연결되어 있다.

<35> 정상적인 동작시에는 ECC 스위치들(SW1~SW4)은 오프(off) 상태이고, 노말 스위치들(SW5~SW8)은 온(on) 상태이다. 이 상태에서, 노말 입출력 라인(I01)과 연결된 노말 메모리 셀들 중에서 하나 이상의 셀이 불량이면 노말 스위치(SW5)를 오프하여 불량 셀과 노말 입출력 라인(I01) 간의 연결을 차단한다. 그리고, ECC 스위치(SW1)를 온(on) 하여 노말 입출력 라인(I01)을 ECC 입출력 라인(ECC IO)과 연결시킨다. 그러면, 노말 입출력 라인(I01)에 연결된 노말 메모리 셀에 저장되어야 할 데이터는 대신 노말 입출력 라인(I01)과 ECC 입출력 라인(ECC IO)을 통해, ECC 메모리 셀에 저장된다. 그러므로, 도 4에 도시된 반도체 메모리 장치는 입출력 라인 단위로 불량셀의 리페어를 수행한다. 즉, 하나의 노말 입출력 라인에 연결된 노말 메모리 셀들 중 어느 하나라도 불량이 발생하면 해당 노말 입출력 라인에 연결된 노말 메모리 셀들 전부를 ECC 셀 블록(ECC)의 메모리 셀들로 대체하는 것이다.

<36> ECC 스위치들(SW1~SW4)과 노말 스위치들(SW5~SW8)은 제어 신호(C1~C8)에 의해 각각 제어된다. 제어 신호(C1~C8)는 모드 신호가 소정의 상태일 때, 예를 들어 x16일 때, 발생될 수 있다. 모드 신호는 퓨즈(미도시)의 절단에 의하여 발생될 수도 있다. 즉, 모드 신호의 발생여부를 제어할 수 있는 퓨즈를 구비하고, 그 퓨즈의 절단여부에 따라 모드 신호가 발생하도록 구현될 수 있다.

<37> 모드 신호는 본딩 옵션(bonding option)에 의해서 발생될 수 있다. 본딩 옵션이란 예를 들어, 모드 신호에 관련된 본딩 패드를 구비하고, 본딩 패드를 어떤 전압원에 외이어 본딩(wire-bonding) 하느냐에 따라 모드 신호의 상태를 결정하는 것이다. 이에 대해서는 당업자에게 널리 알려진 기술이므로 여기서 상세한 설명은 생략한다. 제어 신호(C1~C8)를 발생하는데도, 상술한 퓨즈 방식이나 본딩 옵션 방식이 사용될 수 있다. 예를

들어, 퓨즈 방식의 경우, 각 제어 신호(C1~C8)에 해당되는 퓨즈를 각각 구비하고, 해당 퓨즈의 절단여부에 따라 해당 제어 신호(C1~C8)가 발생되도록 하는 것이다.

<38> 도 5는 본 발명의 다른 일 실시예에 따른 반도체 메모리 장치(500)를 나타내는 개략적인 블록도이다. 이를 참조하면, 본 발명의 다른 일 실시예에 따른 반도체 메모리 장치(500)는 노말 셀 블록들(B1~B5), 리던던시 셀 블록들(RD1~RD5), ECC 블록(ECC), 노말 입출력 라인들(I01~I04), ECC 입출력 라인(ECC IO) 및 입출력 제어부(510)를 구비한다.

<39> 노말 셀 블록들(B1~B5), 리던던시 셀 블록들(RD1~RD5), ECC 블록(ECC), 노말 입출력 라인들(I01~I04), ECC 입출력 라인(ECC IO)은 도 4에 도시된 바와 동일하므로 여기서 상세한 설명은 생략된다. 리페어 회로(510)는 모드 신호에 응답하여 ECC 셀 블락(ECC)이 불량셀을 대체할 수 있도록 제어하는데, ECC 스위치들(SW1~SW4)을 포함하여 구성된다. ECC 스위치들(SW1~SW4)은 제어 신호(C1~C4)에 의해 각각 제어된다.

<40> ECC 스위치들(SW1~SW4)은 노말 입출력 라인들(I01~I04)과 ECC 입출력 라인(ECC IO) 간의 연결을 제어한다. 정상적인 동작시에는 ECC 스위치들(SW1~SW4)은 오프(off) 상태이다. 이 상태에서, 노말 입출력 라인(I01)과 연결된 노말 메모리 셀들 중에서 하나 이상의 셀이 불량이면 ECC 스위치(SW1)를 온(on)하여 노말 입출력 라인(I01)을 ECC 입출력 라인(ECC IO)과 연결시킨다.

<41> 모드 신호 및 제어 신호(C1~C4)는 도 4의 실시예와 마찬가지로, 퓨즈(미도시)의 절단에 의하여 발생될 수도 있고, 본딩 옵션(bonding option)에 의해서 발생될 수 있다.

<42> 도 4에 도시된 실시예는 입출력 라인 단위로 노말 메모리셀을 ECC 메모리 셀로 대체하는 반면, 도 5에 도시된 실시예는 칼럼 선택 라인(column select line, 이하 CSL이

라 함) 단위로 노말 메모리셀을 ECC 메모리 셀로 대체한다. 이를 좀 더 구체적으로 설명하기 위하여 도 6을 참조한다. 도 6은 노말 CSL에 대응하는 노말 메모리 셀을 ECC CSL에 대응하는 ECC 메모리 셀로 대체하는 경우를 상세히 도시한다.

<43> 도 6을 참조하면, 노말 셀 블록(B3)의 노말 메모리 셀들에 저장된 데이터는 비트라인쌍(BL1, BL1B)을 통하여 비트라인 센스앰프(610)에 의해 감지, 증폭된다. 비트라인 센스앰프(610)는 전송 게이트들(631, 632)을 통하여 노말 입출력 라인쌍(I01, I01B)에 연결된다. 전송 게이트들(631, 632)은 노말 CSL 신호(CSL_n1)에 의해 온/오프된다. 한편, ECC 셀 블록(ECC)의 ECC 메모리 셀들에 저장된 데이터는 비트라인쌍(BL2, BL2B)을 통하여 비트라인 센스앰프(620)에 의해 감지, 증폭된다. 비트라인 센스앰프(620)는 전송 게이트들(633, 634)을 통하여 ECC 입출력 라인쌍(ECC IO, ECC IOB)에 연결된다. 전송 게이트들(633, 634)은 ECC CSL 신호(CSL_e1)에 의해 온/오프된다.

<44> 노말 CSL 신호(CSL_n1)에 대응하는 비트라인쌍(BL1, BL1B)에 연결되어 있는 노말 메모리 셀에 불량이 발생한 경우, 노말 CSL 신호(CSL_n1)은 디스에이블되고 ECC CSL 신호(CSL_e1)를 인에이블된다. 그리고 ECC 스위치(SW1)를 온(on)하여 노말 입출력 라인쌍(I01, I01B)을 ECC 입출력 라인쌍(ECC IO, ECC IOB)과 연결시킨다. 그러면, 불량셀과 노말 입출력 라인(I01) 간의 연결은 차단되고, 노말 입출력 라인쌍(I01, I01B)에 연결된 노말 메모리 셀에 저장되어야 할 데이터는 대신에 노말 입출력 라인쌍(I01, I01B)과 ECC 입출력 라인쌍(ECC IO, ECC IOB)을 통해, ECC 메모리 셀에 저장된다.

<45> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 예를 들면, 본 발명의 개념과 실시예를 설명

하기 위한 도 3 내지 도 5에서는 하나의 메모리 뱅크가 도시되어 있지만, 메모리 뱅크의 수는 가변될 수 있으며, 하나의 메모리 뱅크 내에서의 노말 셀 블락의 수, 리던던시 셀 블락의 수 및 ECC 셀 블락의 수 역시 가변될 수 있다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<46> 본 발명에 의하면, ECC 셀을 사용하는 메모리 칩과 병합 설계되는 메모리 칩에서 사용되지 않는 ECC 셀을 리던던시 셀로 전용함으로써, 리던던시 효율이 증가된다. 즉, 불량셀을 리페어할 수 있는 능력이 증가된다. 따라서, 본 발명에 의하면, 반도체 칩의 수율이 향상되는 효과가 있다.

【특허청구범위】**【청구항 1】**

다수의 메모리 뱅크들을 구비하는 반도체 메모리 장치에 있어서,

상기 다수의 메모리 뱅크들 각각은

통상의 노말 데이터를 저장하기 위한 노말 메모리 셀들을 포함하는 다수개의 노말 셀 블록들;

불량 메모리 셀을 대체하기 위한 리던던시 메모리 셀들을 포함하는 다수개의 리던던시 셀 블록들; 및

오류 검사/정정 코드(error check/correction code, 이하 ECC) 메모리 셀들을 포함하는 하나 이상의 ECC 셀 블록을 구비하며,

상기 ECC 셀 블록은 소정의 모드 신호에 응답하여 불량 메모리 셀을 대체하는데 사용되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제 1 항에 있어서, 상기 ECC 셀 블락은

상기 리던던시 셀 블락들이 모두 사용된 후에 불량 메모리 셀을 대체하는데 사용하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제 1 항에 있어서, 상기 모드 신호는

본딩 옵션에 의해 발생되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제 1 항에 있어서, 상기 모드 신호는

소정의 퓨즈의 절단 여부에 응답하여 발생되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

제 1 항에 있어서, 상기 반도체 메모리 장치는

상기 노말 메모리셀들의 데이터를 입출력하기 위한 노말 데이터 입출력 라인;

상기 ECC 메모리셀들의 데이터를 입출력하기 위한 ECC 데이터 입출력 라인; 및

상기 모드 신호에 응답하여 상기 노말 데이터 입출력 라인과 상기 노말 셀 어레이 블록의 연결을 차단하고 상기 노말 데이터 입출력 라인을 상기 ECC 데이터 입출력 라인에 연결시키는 리페어 회로를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

제 5 항에 있어서, 상기 리페어 회로는

상기 노말 데이터 입출력 라인과 상기 노말 셀 어레이 블록의 연결을 제어하는 노말 스위칭 수단; 및

상기 노말 데이터 입출력 라인과 상기 ECC 데이터 입출력 라인의 연결을 제어하는 ECC 스위칭 수단을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 7】

제 6 항에 있어서,

상기 노말 스위칭 수단과 상기 ECC 스위칭 수단은 각각의 제어 신호에 응답하여 개폐되고, 상기 각각의 제어 신호는 소정의 퓨즈의 절단여부에 응답하여 발생되거나 본딩 옵션에 의해 발생되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 8】

제 1 항에 있어서, 상기 반도체 메모리 장치는
상기 노말 메모리셀들에 연결되는 노말 비트라인;
상기 노말 메모리셀들의 데이터를 입출력하기 위한 노말 데이터 입출력 라인;
노말 칼럼 선택 라인 신호에 응답하여 상기 노말 비트라인을 상기 노말 데이터 입출력 라인에 연결시키는 노말 전송 게이트;
상기 ECC 메모리셀들에 연결되는 ECC 비트라인;
상기 ECC 메모리셀들의 데이터를 입출력하기 위한 ECC 데이터 입출력 라인;
ECC 칼럼 선택 라인 신호에 응답하여 상기 ECC 비트라인을 상기 ECC 데이터 입출력 라인에 연결시키는 ECC 전송 게이트; 및
상기 모드 신호에 응답하여 상기 노말 칼럼 선택 라인 신호 대신에 상기 ECC 칼럼 선택 라인 신호를 인에이블하는 리페어 회로를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 9】

제 8 항에 있어서, 상기 리페어 회로는
상기 모드 신호에 응답하여 상기 노말 데이터 입출력 라인을 상기 ECC 데이터 입출력 라인과 연결하는 스위칭 수단을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 10】

제 9 항에 있어서,

상기 스위칭 수단은 제어 신호에 응답하여 개폐되고, 상기 제어 신호는 소정의 퓨즈의 절단여부에 응답하여 발생되거나 본딩 옵션에 의해 발생되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 11】

제 1 항에 있어서, 상기 모드 신호는

상기 반도체 메모리 장치의 비트 구성을 나타내는 신호인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 12】

오류 검사/정정 코드(error check/correction code, 이하 ECC)를 사용하는 반도체 메모리 장치와 병합하여 설계되는 반도체 메모리 장치에 있어서,

통상의 노말 데이터를 저장하기 위한 노말 메모리셀들을 포함하는 노말 셀 블록;

ECC 메모리셀들을 포함하는 ECC 셀 블록; 및

소정의 모드 신호에 응답하여 상기 ECC 셀 어레이 블록을 ECC 데이터를 저장하는데 사용하지 않고 불량 메모리셀을 대체하도록 제어하는 리페어 회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 13】

제 12 항에 있어서, 상기 모드 신호는

본딩 옵션에 의해 발생되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 14】

제 12 항에 있어서, 상기 모드 신호는

소정의 퓨즈의 절단 여부에 응답하여 발생되는 것을 특징으로 하는 반도체 메모리

장치.

【청구항 15】

제 12 항에 있어서,

상기 반도체 메모리 장치는 상기 노말 메모리셀들의 데이터를 입출력하기 위한 노
말 데이터 입출력 라인; 및 상기 ECC 메모리셀들의 데이터를 입출력하기 위한 ECC 데이
터 입출력 라인을 더 구비하며,

상기 리페어 회로는 상기 모드 신호에 응답하여 상기 노말 데이터 입출력 라인과
상기 노말 셀 어레이 블록의 연결을 차단하고 상기 노말 데이터 입출력 라인을 상기 ECC
데이터 입출력 라인에 연결시키는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 16】

제 15 항에 있어서, 상기 리페어 회로는

상기 노말 데이터 입출력 라인과 상기 노말 셀 어레이 블록의 연결을 제어하는 노
말 스위칭 수단; 및

상기 노말 데이터 입출력 라인과 상기 ECC 데이터 입출력 라인의 연결을 제어하는 ECC 스위칭 수단을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 17】

제 12 항에 있어서,

상기 반도체 메모리 장치는 상기 노말 메모리셀들에 연결되는 노말 비트라인; 상기 노말 메모리셀들의 데이터를 입출력하기 위한 노말 데이터 입출력 라인; 노말 칼럼 선택 라인 신호에 응답하여 상기 노말 비트라인을 상기 노말 데이터 입출력 라인에 연결시키는 노말 게이트; 상기 ECC 메모리셀들에 연결되는 ECC 비트라인; 상기 ECC 메모리셀들의 데이터를 입출력하기 위한 ECC 데이터 입출력 라인; 및 ECC 칼럼 선택 라인 신호에 응답하여 상기 ECC 비트라인을 상기 ECC 데이터 입출력 라인에 연결시키는 ECC 게이트를 더 구비하며,

상기 리페어 회로는 상기 모드 신호에 응답하여 상기 노말 칼럼 선택 라인 신호 대신에 상기 ECC 칼럼 선택 라인 신호를 인에이블하는 것을 특징으로 하는 반도체 메모리 장치.

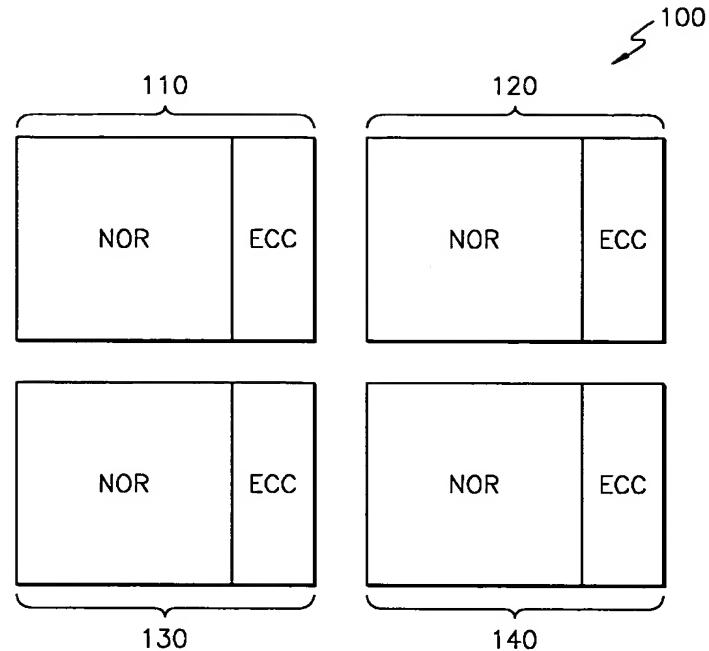
【청구항 18】

제 17 항에 있어서, 상기 리페어 회로는

상기 모드 신호에 응답하여 상기 노말 데이터 입출력 라인을 상기 ECC 데이터 입출력 라인과 연결하는 스위칭 수단을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【도면】

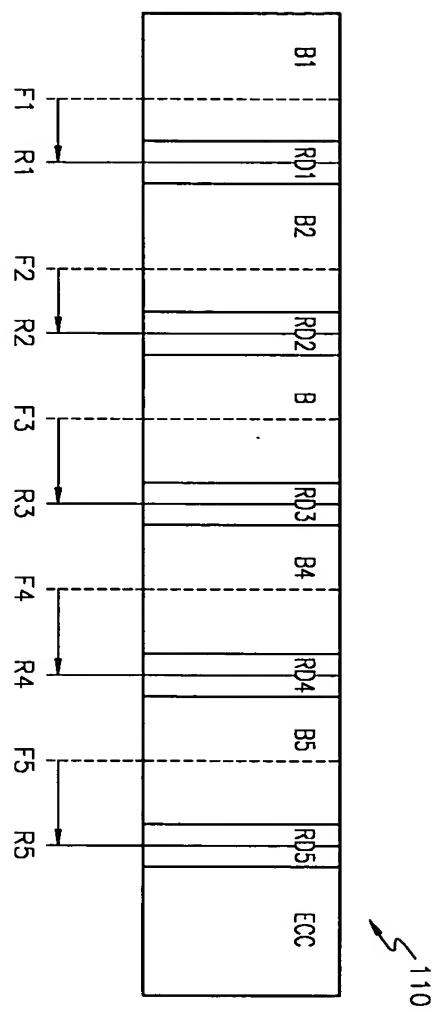
【도 1】



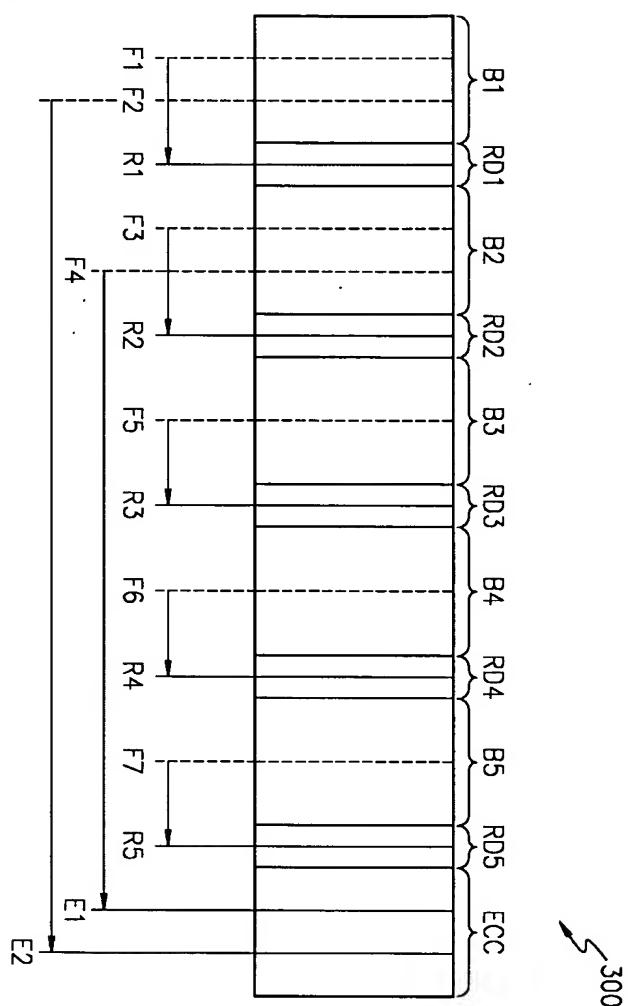
1020030029759

출력 일자: 2003/8/13

【도 2】



【도 3】

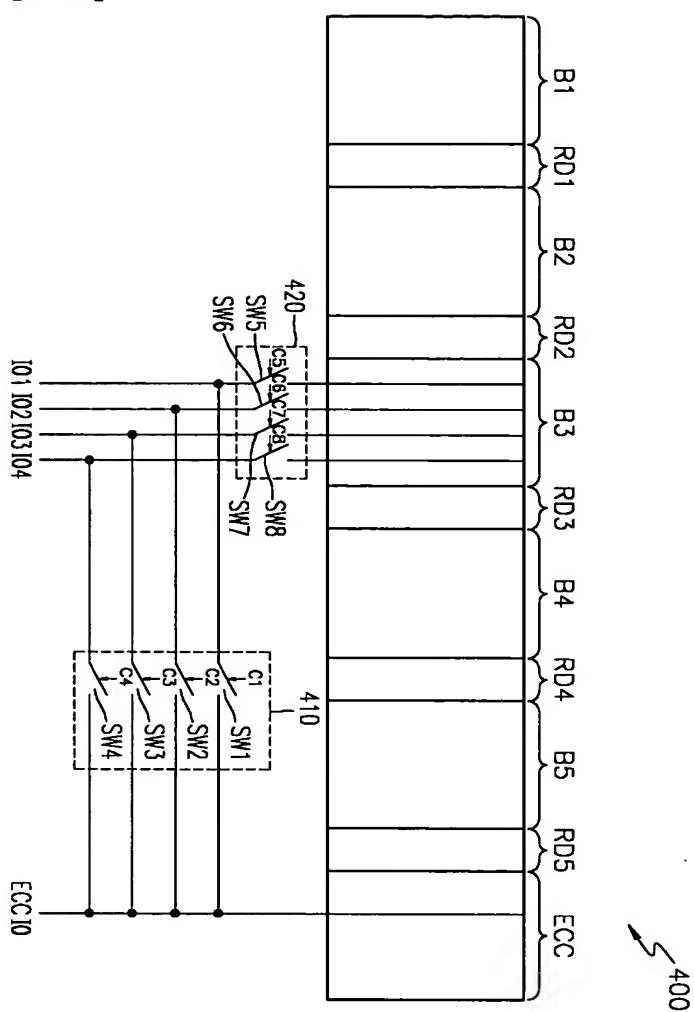




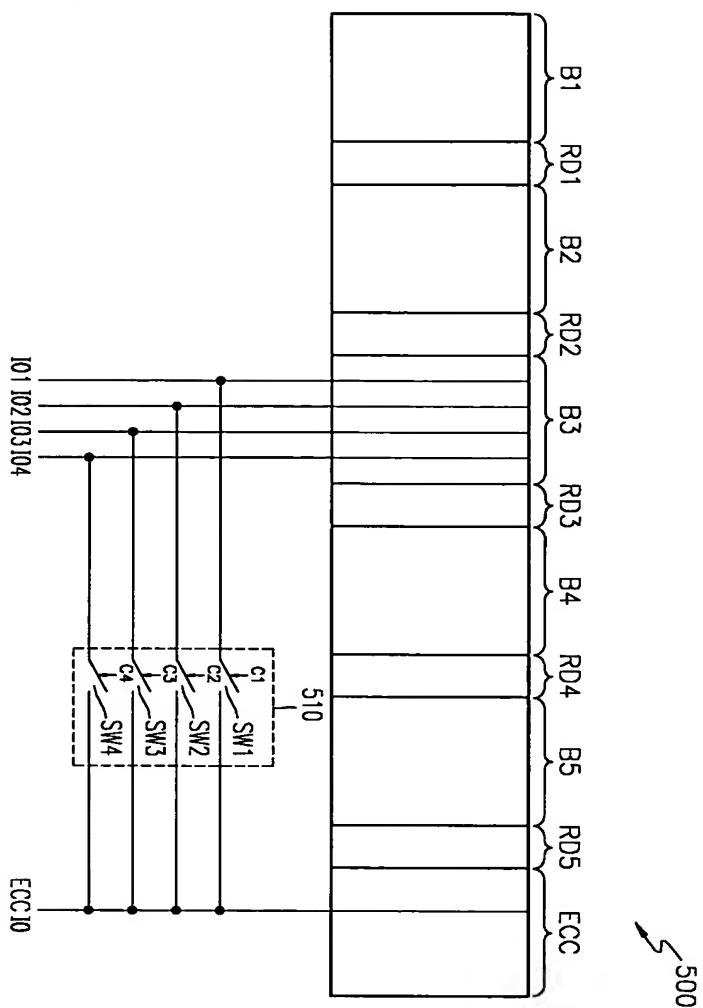
1020030029759

출력 일자: 2003/8/13

【도 4】



【도 5】



【도 6】

